

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

#4  
Zm  
6/23/00

PATENT  
1794-0123P

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: Masanori IDESAWA et al  
Appl. No.: 09/429,080 Group: 2811  
Filed: October 29, 1999 Examiner:  
For: SEMICONDUCTOR IMAGE POSITION SENSITIVE  
DEVICE



LETTER

Assistant Commissioner for Patents  
Washington, DC 20231

February 9, 2000

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	10-309765	October 30, 1998

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 02-2448 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By Joe McKinney Muncy  
Joe McKinney Muncy, #32,334

KM/cl  
1794-0123P

P.O. Box 747  
Falls Church, VA 22040-0747  
(703) 205-8000

Attachment



日本国特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

Masanori IDESAWA et al  
1794-123P  
09/429,080  
filed 10-29-99  
BSKB, LLP  
(703) 205-8000  
✓

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

1998年10月30日

出願番号

Application Number:

平成10年特許願第309765号

出願人

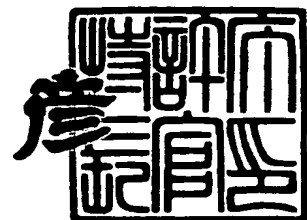
Applicant(s):

理化学研究所

1999年11月 5日

特許庁長官  
Commissioner,  
Patent Office

近藤隆彦



出証番号 出証特平11-3077624

【書類名】 特許願

【整理番号】 RK1006

【提出日】 平成10年10月30日

【あて先】 特許庁長官 伊佐山 建志 殿

【国際特許分類】 G01B 11/00

【発明の名称】 半導体像位置検出素子

【請求項の数】 4

【発明者】

    【住所又は居所】 埼玉県鶴ヶ島市富士見4-23-28

    【氏名】 出澤 正徳

【発明者】

    【住所又は居所】 東京都田無市向台町4-10-30

    【氏名】 藤田 豊己

【発明者】

    【住所又は居所】 埼玉県和光市広沢2番1号 理化学研究所内

    【氏名】 矢野 安重

【特許出願人】

    【識別番号】 000006792

    【氏名又は名称】 理化学研究所

【代理人】

    【識別番号】 100087000

    【郵便番号】 171

    【住所又は居所】 東京都豊島区南池袋2丁目29番16号 ルボワ平喜  
404号室

    【弁理士】

    【氏名又は名称】 上島 淳一

    【電話番号】 03-5992-2315

【手数料の表示】

    【予納台帳番号】 058609

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9207956

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体像位置検出素子

【特許請求の範囲】

【請求項 1】 光が入射された部分で該光の強度に応じた光電流を生成する光電層と、

前記光電層に積層され、前記光電層において生成された光電流が前記光が入射された部分に対応した部分より流入する抵抗層と、

前記光電層において生成された光電流が前記抵抗層に流入した位置との間の抵抗値に応じた割合で分配され、検出区間全域にわたり加え合わされた電流として出力される信号電流出力端子と

を有する半導体像位置検出素子において、

光電層の各部において入射光に応じて生成された光電流から、検出区間全域にわたり所定の電流密度分布で光電流を差し引く抵抗と

を有し、

前記抵抗により差し引かれた光電流が前記抵抗層に流入するようにした

ものである半導体像位置検出素子。

【請求項 2】 請求項 1 に記載の半導体像位置検出素子において、

前記抵抗は、前記光電層の各部において入射光に応じて生成された光電流密度が所定の電流密度より大きい区間では所定の密度分布の電流を差し引き、光電流密度が前記所定の電流密度よりも小さい区間では光電流の密度分布に相当する電流を差し引く

ものである半導体像位置検出素子。

【請求項 3】 請求項 1 または 2 のいずれか 1 項に記載の半導体像位置検出素子において、

前記光電層は、光の強度に応じた光電流を生成する前記光電層が複数部分に分離されそれぞれ独立の光電素子として動作するように構成され、前記複数部分に分離された光電素子で生成された光電流がそれぞれの位置に対応した部分より集中的に抵抗層に流入するように構成され、所定の電流密度分布で差し引かれるべき電流はそれぞれ分離された光電素子に対応するものをまとめ、それぞれ分離さ

れた光電素子の光電流より差し引かれたものが抵抗層に流入するようにしたものである半導体像位置光電素子。

【請求項 4】 請求項 3 に記載の半導体像位置検出素子において、

それぞれに分離された光電素子において投射光に応じて生成された光電流が、所定の電流密度分布で差し引かれるべき電流をそれぞれ分離された光電素子に対応するものをまとめた電流に対して大きい場合には光電流からまとめられた電流が差し引かれた電流が抵抗層へ流入され、小さい場合には光電素子で生成された光電流が差し引かれた電流が抵抗層に流入されるようにした

ものである半導体像位置検出素子。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体像位置検出素子に関し、さらに詳細には、輝点像の位置を高速に検知するための半導体像位置検出素子に関するものであり、特に、各種自動化装置における光学的位置決め用センサや各種の光学計測装置に用いられ、高速かつ簡便な検出システムや計測システムを実現するために好適な半導体像位置検出素子に関する。

【0 0 0 2】

【従来の技術】

従来より、輝点像位置を簡便かつ高速に検出するためのセンサとして、半導体像位置検出素子 (Position Sensitive Device) が知られている。

【0 0 0 3】

一般に、半導体像位置検出素子は、光電層と、当該光電層に積層された分割抵抗層と、当該分割抵抗層に接続された信号電流出力端子とを有して構成されている。こうした半導体像位置検出素子は、輝点から照射される光が光電層に入射されると当該光電層において光電流が生成されることになり、この光電層で生成された光電流を分割抵抗層に流入させ、分割抵抗層における光電流の流入部と信号電流出力端子と間の抵抗値に応じて分配される光電流が精算されて電流出力端子

より出力される電流値に基づいて、光電層への入射光の重心的位置を算出するという基本原理に基づいて構成されているものである。

【0004】

ここで、上記した基本原理に基づいて構成された従来の半導体像位置検出素子について、添付の図面を参照しながら詳細に説明することとする。

【0005】

即ち、図1には従来の半導体像位置検出素子の構造の概念図が示されており、図2には図1に示す半導体像位置検出素子における像位置検出演算の原理を示す等価回路の概念図が示されているが、半導体像位置検出素子は、P型半導体層Pと、このP型半導体層Pの底面側に積層された絶縁体層Iと、この絶縁体層Iの底面側に積層されたN型半導体層Nと、P型半導体層Pの表面側に積層された像位置演算用の抵抗層 $R_P$ と、この抵抗層 $R_P$ の表面側の両端部位に形成された信号電流出力端子Aおよび信号電流出力端子Bと、N型半導体層Nの底面側の中央部位に形成されたバイアス端子Cとを有して構成されている。

【0006】

なお、上記した半導体像位置検出素子Sにおいては、P型半導体層Pと絶縁体層IとN型半導体層Nとにより光電層Sが形成され、抵抗層 $R_P$ により分割抵抗層が形成されることになる。

【0007】

こうした半導体像位置検出素子においては、抵抗層 $R_P$ の表面側から光Lが照射されると、光Lの入射位置における光電層Sで生成された光電流は抵抗層 $R_P$ に流入し、この抵抗層 $R_P$ に流入した光電流は、当該光電流が抵抗層 $R_P$ に流入した位置と信号電流出力端子Aおよび信号電流出力端子Bとの間の抵抗値に応じて分配され、出力信号電流 $I_A$ および出力信号電流 $I_B$ として信号電流出力端子Aおよび信号電流出力端子Bから出力されることになる（図2参照）。

【0008】

ここで、抵抗層 $R_P$ の抵抗率が一様であるとする、抵抗値は、光電流が抵抗層 $R_P$ に流入した位置と信号電流出力端子Aおよび信号電流出力端子Bとの間の距離に比例するので、光Lの入射位置の情報 $x$ （抵抗層 $R_P$ の中心位置からのず



れ率に相当する。)は、

$$x = (I_A - I_B) / (I_A + I_B) \quad \cdots \quad (1)$$

で示す式(1)で求められることになる。

#### 【0009】

ところで、図1ならびに図2に示した半導体像位置検出素子においては、光電層Sは連続したものとして、また、像位置演算用の分割抵抗たる抵抗層R<sub>P</sub>は光電層Sに重ね合わせた薄膜として構成されているものである。

#### 【0010】

しかしながら、像位置演算用の分割抵抗たる抵抗層R<sub>P</sub>を、所定の抵抗率をもった一様な薄膜として安定的に形成することはそれほど容易なことではなく、しばしば抵抗率を一様にするのができずに抵抗率分布がばらついてしまい、それが像位置検出誤差の一つの要因となるという問題点があった。

#### 【0011】

こうした問題点を解決するために、光電層を分割抵抗層とは独立して複数に分離された分割構造の分離光電層として製作し、また、分割抵抗層を分離光電層とは離れた位置に集中抵抗として安定的に製作し、個々に分離分割された構造の分離光電層で生成される光電流を分割抵抗層に対応した位置に集中的に流入させるようにした分離光電素子型の半導体像位置検出素子が案出されている。図3には、こうした分離光電素子型の半導体像位置検出素子の原理を示す等価回路の概念図が示されている。

#### 【0012】

図3において、符号S<sub>g</sub>は、分離光電素子型の半導体像位置検出素子における分離光電層を示している。こうした分離光電素子型の半導体像位置検出素子により、像位置演算用の分割抵抗として抵抗層R<sub>P</sub>を安定的に製作でき、像位置検出誤差を低減させて像位置検出の安定性を向上させることができるものである。

#### 【0013】

また、上記した図1乃至図3に示すいずれの半導体像位置検出素子のいずれの構成においても、光Lを照射することにより生成された光電流は、出力信号電流I<sub>A</sub>として信号電流出力端子Aから出力され、出力信号電流I<sub>B</sub>として信号電流

出力端子Bから出力されることになる（図2ならびに図3参照）。従って、出力信号電流  $I_A$  ならびに出力信号電流  $I_B$  を用いて式（1）に基づいて演算することによって、アナログ演算回路により輝点像の位置を極めて高速に算出できることになる。

## 【0014】

ところで、上記した式（1）を用いる原理に基づく半導体像位置検出素子においては、輝点像の最明点の位置ではなく、光の検出領域に入射された光Lの全体の重心位置が検出されることになる。このため、目的の輝点像の周辺部の広い領域においては、輝度は高くなくとも大きな領域を占める背景光などの雑音光が存在する場合には、背景光などの雑音光の影響で光の検出位置に大きな誤差が生じてしまうという問題点が指摘されていた。

## 【0015】

つまり、目的の輝点像の周辺部の広い領域に背景光がない場合には、輝点像による光Lに基づく光電流の分布は、図4（a）に示されるようになる。しかしながら、背景光などの雑音光が存在すると、当該雑音光に基づく光電流も光電層S（分離光電層  $S_g$ ）に生成され、この背景光などの雑音光に基づく光電流が、輝点像による光Lに基づく光電流に重畳されるため、光電流分布は図4（b）のようになる。

## 【0016】

即ち、雑音光が存在する場合には、雑音光が重畳された光電流から得られる出力信号電流  $I_A$ 、 $I_B$  を式（1）に適用することにより、輝点像の位置が算出されるために、輝点像の位置は雑音光の重心位置方向へと偏ってしまい、著しい位置検出誤差が生ずるという問題点があった。

## 【0017】

さらにこの点につき説明すると、半導体像位置検出素子においては、輝点像による光Lに応じて生成された光電流が、分割抵抗の存在により流入位置と出力端子と間の抵抗値によって配分されて出力され、当該配分されて出力された光電流（出力信号電流  $I_A$ 、 $I_B$ ）の電流値を演算することで、入射された光Lの重心的な位置が求められることになる。

## 【0018】

このため背景光などの雑音光がある場合には、検出すべき信号としての輝点像による光Lの照射に応じて生成された光電流のみではなく、雑音光により生成された光電流も出力信号電流  $I_A$ 、 $I_B$  に反映される。

## 【0019】

こうした雑音光の影響を回避するために、従来においては、検知すべき輝点を点滅させ、輝点を点灯させたときの出力から点灯させないときの出力を差し引き、背景光の影響を排除する方法が用いられていた。

## 【0020】

しかしながら、上記した方法を用いることができるのは、輝点を点滅できる場合のみであって、しかも、雑音光が輝点の点滅に依存するものではない場合のみであり、輝点による光Lの照射によって生じる雑音光による誤差の削減については全く効果がないものであった。

## 【0021】

なお、一般に、背景光などの雑音光によって生ずる光電流の密度は、輝点の光の照射によって生ずる光電流の密度に比べてかなり低い。しかしながら、光電層への雑音光の入射面積が、光電層への輝点による光の入射面積に比べて著しく広いために、全体としては雑音光の出力信号電流  $I_A$ 、 $I_B$  への寄与が無視できなくなるものである。

## 【0022】

従って、出力信号電流  $I_A$ 、 $I_B$  を演算して得られる重心位置は、背景光などの雑音光の重心によって引きずられて輝点の本来の位置からずれた値となり、像位置検出誤差が大きくなるという問題点があるものであった。

## 【0023】

なお、通常は、背景光などの雑音光が半導体像位置検出素子の検出範囲において平均的に分布することになるので、背景光などの雑音光による出力信号電流  $I_A$ 、 $I_B$  の重心位置は検出範囲の中心部付近となり、像検出位置はこれに引きずられて検出範囲の中央部に偏った値になってしまうことになるものであった。

## 【0024】

## 【発明が解決しようとする課題】

本発明は、従来の技術の有する上記したような問題点に鑑みてなされたものであり、その目的とするところは、背景光などの雑音光の影響で生ずる像位置検出誤差を逓減するようにした半導体像位置検出素子を提供しようとするものである。

## 【0025】

## 【課題を解決するための手段】

上記目的を達成するために、本発明による半導体像位置検出素子は、背景光などの雑音光に基づく光電流密度が、輝点像による光の照射に基づく光電流密度に比べかなり低いことに着目してなされたものであり、検出領域で生成された光電流からほぼ雑音光に基づく光電流密度に相当する電流密度分布で検出領域全域について差し引いた分のみが像位置演算用の分割抵抗に流入するようにして、背景光などの雑音光に基づく光電流の像位置検出に関わる出力信号電流への寄与を逓減するようにしたものである。

## 【0026】

即ち、本発明による半導体像位置検出素子においては、光電層の各部で生成される光電流から雑音光によって生成される光電流密度に相当するのにはほぼ等しい光電流を差し引くことにより、分割抵抗に流入する光電流は輝点像に基づき生成される光電流が支配的となるようにし、差し引くべき背景光に基づく光電流の値が輝点像に基づき生成される光電流の値よりも大きくなる部分では、ほぼ雑音光に基づく光電流の値に相当する光電流が差し引かれるように構成すると、光電流密度の高い部分、つまり、輝点像による光の入射位置に対応した部分のみからの電流が分割抵抗に流入するようにできる。

## 【0027】

従って、本発明による半導体像位置検出素子によれば、像位置検出に関わる分割抵抗に流入する電流に対しての背景光などの雑音光で生成された光電流の寄与の割合を著しく逓減できることになり、背景光などの雑音光によって生じる像位置検出誤差を著しく逓減できることになる。

## 【0028】

即ち、本発明のうち請求項 1 に記載の発明による半導体像位置検出素子は、光が入射された部分で該光の強度に応じた光電流を生成する光電層と、上記光電層に積層され、上記光電層において生成された光電流が上記光が入射された部分に対応した部分より流入する抵抗層と、上記光電層において生成された光電流が上記抵抗層に流入した位置との間の抵抗値に応じた割合で分配され、検出区間全域にわたり加え合わされた電流として出力される信号電流出力端子とを有する半導体像位置検出素子において、光電層の各部において入射光に応じて生成された光電流から、検出区間全域にわたり所定の電流密度分布で光電流を差し引く抵抗とを有し、上記抵抗により差し引かれた光電流が上記抵抗層に流入するようにしたものである。

## 【0029】

また、本発明のうち請求項 2 に記載の発明による半導体像位置検出素子は、本発明のうち請求項 1 に記載の発明による半導体像位置検出素子において、上記抵抗は、上記光電層の各部において入射光に応じて生成された光電流密度が所定の電流密度より大きい区間では所定の密度分布の電流が差し引かれ、光電流密度が上記所定の電流密度よりも小さい区間では光電流の密度分布に相当する電流が差し引かれるようにしたものである。

## 【0030】

また、本発明のうち請求項 3 に記載の発明による半導体像位置検出素子は、本発明のうち請求項 1 または 2 のいずれか 1 項に記載の発明による半導体像位置検出素子において、上記光電層は、光の強度に応じた光電流を生成する上記光電層が複数部分に分離されそれぞれ独立の光電素子として動作するように構成され、上記複数部分に分離された光電素子で生成された光電流がそれぞれの位置に対応した部分より集中的に上記抵抗層に流入するように構成され、所定の電流密度分布で差し引かれるべき電流はそれぞれ分離された光電素子に対応するものをまとめ、それぞれ分離された光電素子の光電流より差し引かれたものが上記抵抗層に流入するようにしたものである。

## 【0031】

また、本発明のうち請求項 4 に記載の発明による半導体像位置検出素子は、本

発明のうち請求項3に記載の発明による半導体像位置検出素子において、上記それぞれに分離された光電素子において投射光に応じて生成された光電流が、所定の電流密度分布で差し引かれるべき電流をそれぞれ分離された光電素子に対応するものをまとめた電流に対して大きい場合には光電流からまとめられられた電流が差し引かれた電流が上記抵抗層へ流入され、小さい場合には光電素子で生成された光電流が差し引かれた電流が上記抵抗層に流入されるようにしたものである。

#### 【0032】

##### 【発明の実施の形態】

以下、添付の図面に基づいて、本発明による半導体像位置検出素子の実施の形態の一例を詳細に説明するものとする。

#### 【0033】

なお、図5乃至図9において、図1乃至図4に示す構成と同一あるいは相当する構成については、それぞれ同一の符号を用いて示すことにより、その詳細な説明は省略する。

#### 【0034】

図5には、本発明による半導体像位置検出素子の実施の形態の一例が示されており、この半導体像位置検出素子は、図4(b)に示す光電流より背景光などの雑音光の電流密度に相当する分の電流を差し引いた電流が、像位置演算用の分割抵抗へと流入するように構成したものである。

#### 【0035】

即ち、図5は本発明による半導体像位置検出素子の実施の形態の一例を示すの等価回路であり、この半導体像位置検出素子は連続光電素子型の半導体像位置検出素子であるが、背景光などの雑音光に相当する電流密度分布よりもやや大きめの電流を差し引くための差し引き電流制限抵抗  $r_d$  が接続されている。

#### 【0036】

従って、この差し引き電流制限抵抗  $r_d$  により、背景光などの雑音光により生成されるのに相当する光電流が像位置演算用の分割抵抗たる抵抗層  $R_p$  に流入することを著しく逓減できる。

## 【0037】

即ち、差し引き電流制限抵抗  $r_d$  によって、背景光などの雑音光に相当する電流密度分布よりもやや大きめの電流を差し引くようにすれば、ほぼ光電流の値まで差し引け、理想的には図7(b)に示すようにほぼ輝点像に基づく光電流のみが像位置演算用の分割抵抗たる抵抗層  $R_P$  に流入するようになる。

## 【0038】

また、図6は本発明による半導体像位置検出素子の実施の形態の一例を示すの等価回路であり、この半導体像位置検出素子は分離光電素子型の半導体像位置検出素子であるが、背景光などの雑音光に相当する電流密度分布よりもやや大きめの電流を差し引くための差し引き電流制限抵抗  $r_d$  が接続されている。

## 【0039】

なお、差し引き電流制限抵抗  $r_d$  の作用は、図5に示す例において上記したので省略する。

## 【0040】

また、図5ならびに図6に示す例において、差し引き電流制限抵抗  $r_d$  の抵抗値を抵抗層  $R_P$  の抵抗値よりも小さく設定すると、差し引き電流制限抵抗  $r_d$  によって電流差し引きの際における隣接部分同士の干渉を逓減できる。

## 【0041】

さらに、図8は本発明による半導体像位置検出素子の実施の形態の一例を示すの等価回路であり、この半導体像位置検出素子は連続光電素子型の半導体像位置検出素子であるが、背景光などの雑音光に相当する電流密度分布よりもやや大きめの電流を差し引くための差し引き電流制限抵抗  $r_d$  が接続されているとともに、干渉防止用ダイオード  $S_d$  が挿入されている。

## 【0042】

従って、干渉防止用ダイオード  $S_d$  を挿入することによって、背景光などの雑音光に基づく光電流を差し引く際における隣接部分同士の干渉を回避するようにしたものであり、差し引くべき光電流が輝点像による光の照射に基づく光電流よりも大きくなる部分においては、輝点像による光の照射に基づく光電流の値までの電流が差し引かれ、その部分で抵抗層  $R_P$  へ流入する電流がほぼ0となるよう

に構成することができるようになる。

【0043】

また、図9は本発明による半導体像位置検出素子の実施の形態の一例を示すの等価回路であり、この半導体像位置検出素子は分離光電素子型の半導体像位置検出素子であるが、背景光などの雑音光に相当する電流密度分布よりもやや大きめの電流を差し引くための差し引き電流制限抵抗  $r_d$  が接続されているとともに、干渉防止用ダイオード  $S_d$  が挿入されている。

【0044】

【発明の効果】

本発明は、以上説明したように構成されているので、背景光などの雑音光の影響で生ずる像位置検出誤差を減減することができるという優れた効果を奏する。

【図面の簡単な説明】

【図1】

従来の半導体像位置検出素子の構造の概念図である。

【図2】

図1に示す半導体像位置検出素子における像位置検出演算の原理を示す等価回路の概念図である。

【図3】

分離光電素子型の半導体像位置検出素子の原理を示す等価回路の概念図である。

【図4】

(a)は輝点像による光の照射に基づく光電流密度分布の概念図であり、(b)は背景光などの雑音光が存在する場合における光電流密度分布の概念図である。

【図5】

本発明による半導体像位置検出素子の原理を示す等価回路の一例を示す概念図であり、この半導体像位置検出素子は連続光電素子型の半導体像位置検出素子である。

【図6】



本発明による半導体像位置検出素子の原理を示す等価回路の一例を示す概念図であり、この半導体像位置検出素子は分離光電素子型の半導体像位置検出素子である。

【図 7】

(a) は背景光などの雑音光が存在する場合における光電流密度分布の概念図であり、(b) は背景光などの雑音光に基づく光電流を差し引いた場合の光電流密度分布の概念図である。

【図 8】

干渉防止用ダイオードを挿入した本発明による半導体像位置検出素子の原理を示す等価回路の一例を示す概念図であり、この半導体像位置検出素子は連続光電素子型の半導体像位置検出素子である。

【図 9】

干渉防止用ダイオードを挿入した本発明による半導体像位置検出素子の原理を示す等価回路の一例を示す概念図であり、この半導体像位置検出素子は分離光電素子型の半導体像位置検出素子である。

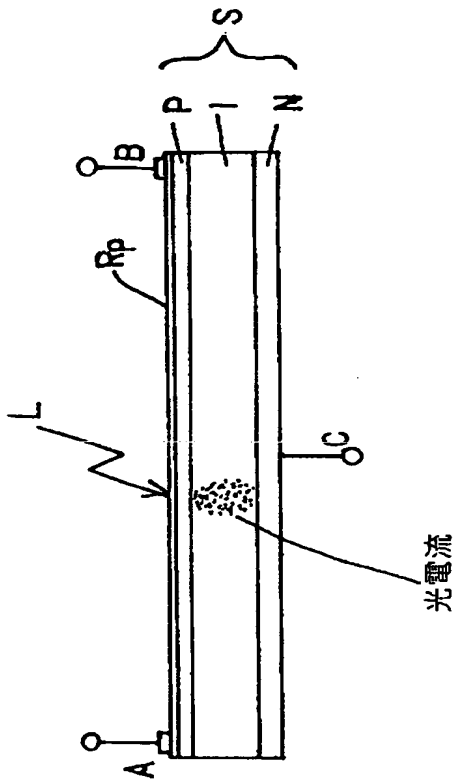
【符号の説明】

A, B	信号電流出力端子
C	バイアス端子
P	P型抵抗層
I	絶縁層
N	N型層
$R_p$	像位置演算用分割抵抗
S	光電素子
$S_g$	分離光電素子
$I_A$ 、 $I_B$	出力信号電流
$I_C$	バイアス電流
D	電流差し引き用バイアス端子
$I_D$	差し引き電流
$r_d$	差し引き電流制限抵抗

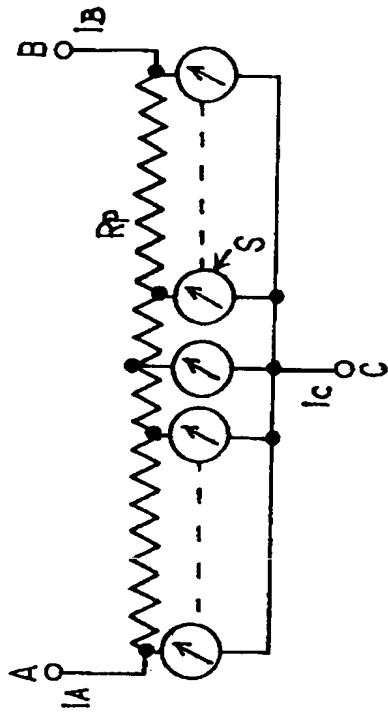
S d	干渉防止用ダイオード
r s	干渉逓減用抵抗

【書類名】 図面

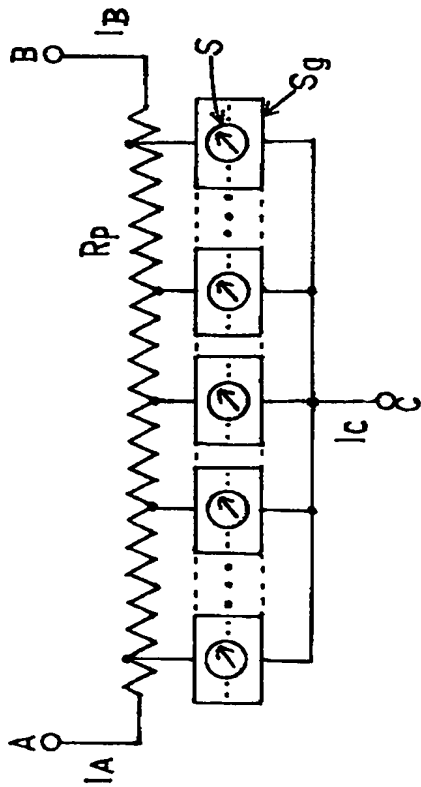
【図 1】



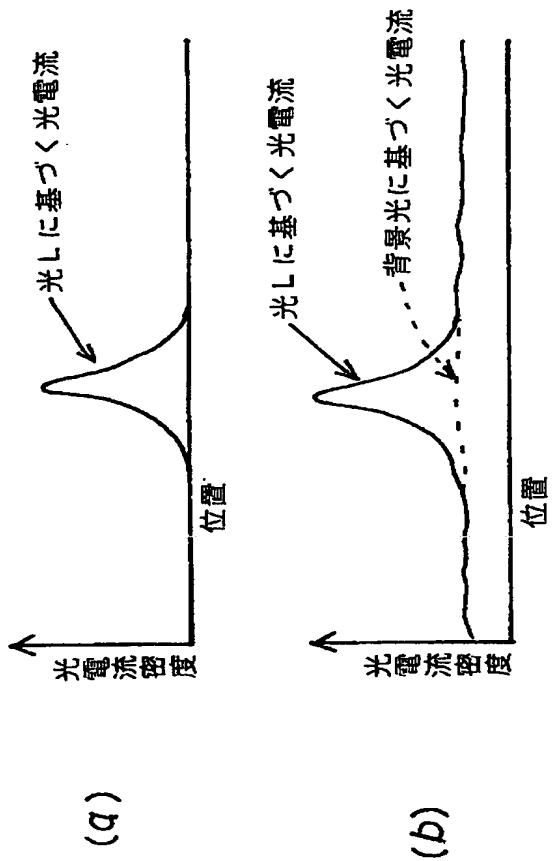
【図 2】



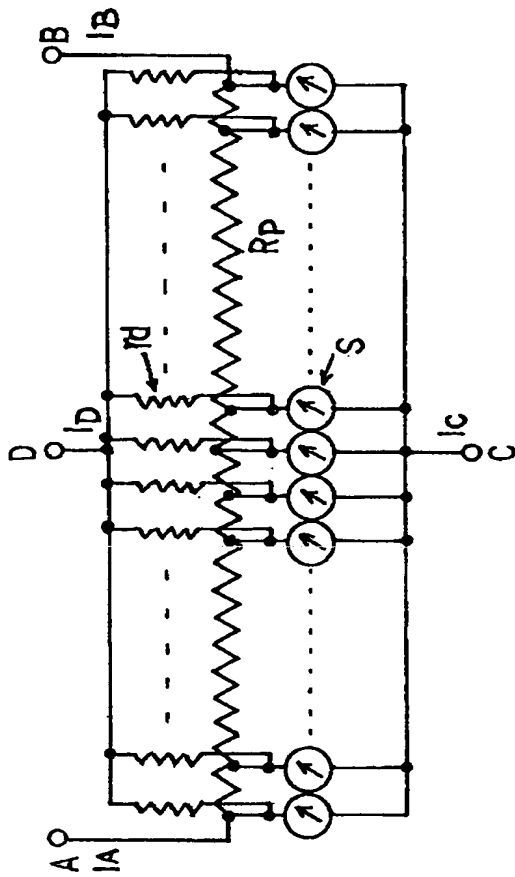
【図 3】



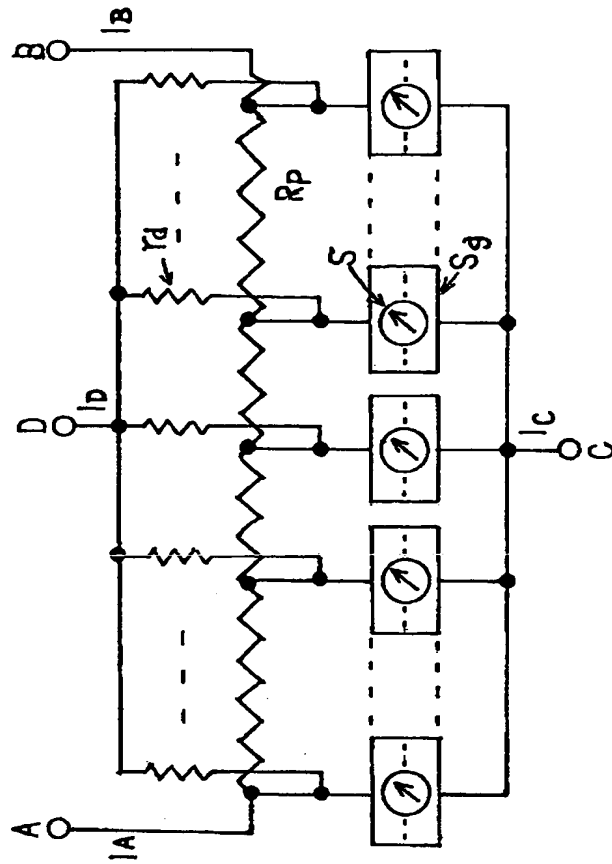
【図 4】



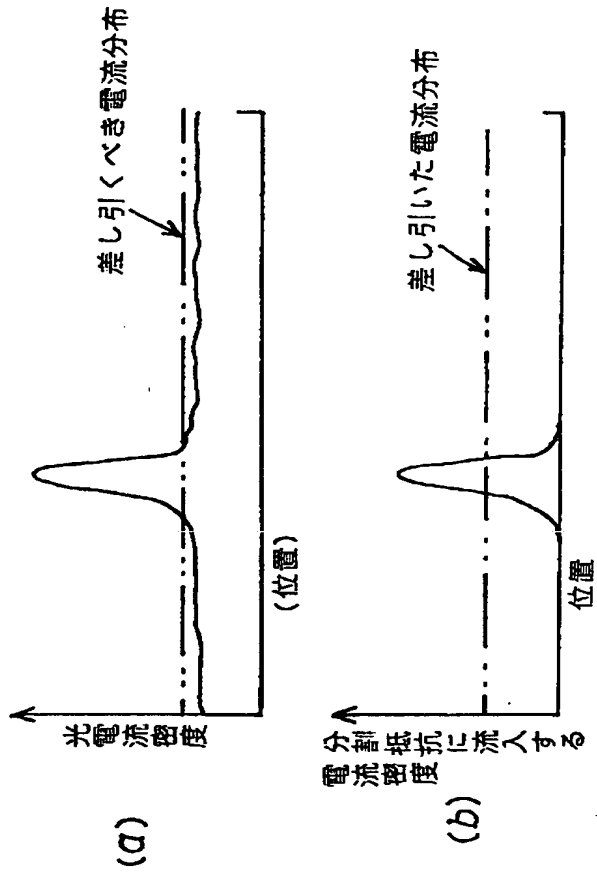
【図 5】



【図 6】

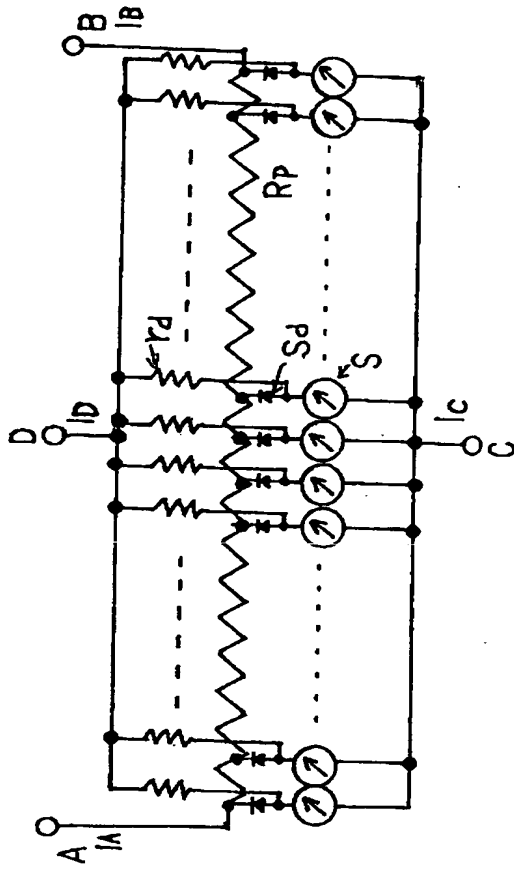


【图 7】

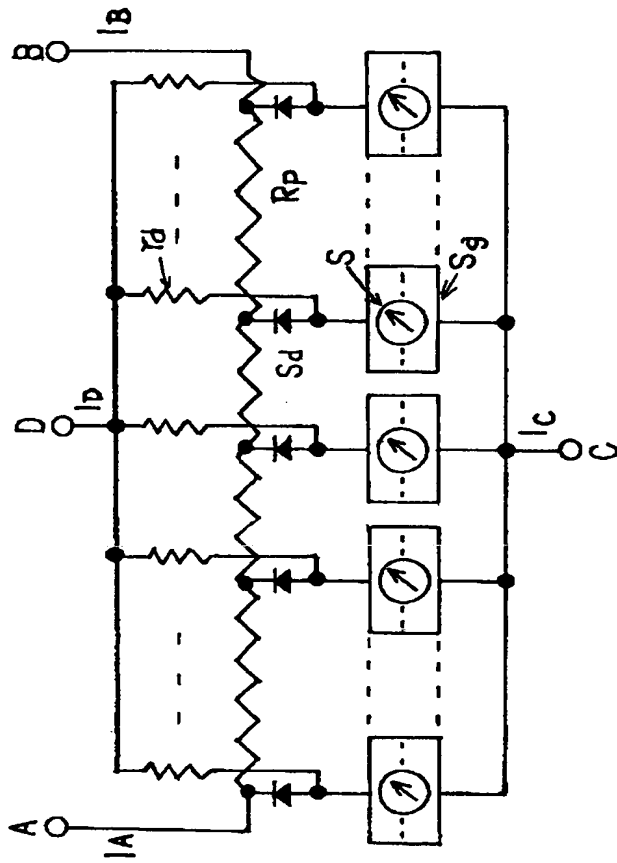


【図 8】





【图 9】



【書類名】 要約書

【要約】

【課題】 背景光などの雑音光の影響で生ずる像位置検出誤差を逓減する。

【解決手段】 光が入射された部分で該光の強度に応じた光電流を生成する光電層と、上記光電層に積層され、上記光電層において生成された光電流が上記光が入射された部分に対応した部分より流入する抵抗層と、上記光電層において生成された光電流が上記抵抗層に流入した位置との間の抵抗値に応じた割合で分配され、検出区間全域にわたり加え合わされた電流として出力される信号電流出力端子とを有する半導体像位置検出素子において、光電層の各部において入射光に応じて生成された光電流から、検出区間全域にわたり所定の電流密度分布で光電流を差し引く抵抗とを有し、上記抵抗により差し引かれた光電流が上記抵抗層に流入するようにした。

【選択図】 図 5

【書類名】 職権訂正データ  
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】  
【識別番号】 000006792  
【住所又は居所】 埼玉県和光市広沢 2 番 1 号  
【氏名又は名称】 理化学研究所  
【代理人】 申請人  
【識別番号】 100087000  
【住所又は居所】 東京都豊島区南池袋 2 丁目 29 番 16 号 ルボワ平  
喜 404 号室 上島国際特許商標事務所  
【氏名又は名称】 上島 淳一

出 願 人 履 歴 情 報

識別番号 [000006792]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	埼玉県和光市広沢2番1号
氏 名	理化学研究所